

DERWENT-ACC-NO: 1991-074465

DERWENT-WEEK: 199111

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Self-healing dielectric breakdown
using thin metal film
contact - allows higher field
strength without
catastrophic shorting in
metal-dielectric-semiconductor
structures

INVENTOR: GOERLACH, A

PATENT-ASSIGNEE: BOSCH GMBH ROBERT[BOSC]

PRIORITY-DATA: 1989DE-3929161 (September 2, 1989)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	
LANGUAGE		MAIN-IPC	
DE 3929161 A		March 7, 1991	N/A
000	N/A		
WO 9103843 A		March 21, 1991	N/A
000	N/A		

DESIGNATED-STATES: JP US AT BE CH DE DK ES FR GB IT LU NL
SE

CITED-DOCUMENTS: US 4072976

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
DE 3929161A	N/A	
1989DE-3929161	September 2, 1989	

INT-CL (IPC): H01L023/00, H01L027/04 , H01L029/78

ABSTRACTED-PUB-NO: DE 3929161A

BASIC-ABSTRACT:

Planar semiconductor devices with metal-dielectric-semiconductor construction (MOS) feature a low metal layer thickness, at least in some parts of the device where high field strength values occur. The thickness is so small that during an electrical rupture of the dielectric, pref. SiO₂, below the max. value EB_{max}. the metal, pref. Al, melts in the rupture site and evaporates to result in electrical isolation of the rupture site and restoration of the electrical performance of the device.

Also claimed is the device construction in which thicker metal layers are used in low field strength regions and thin metal films in high field strength regions. The metal layers are pref. deposited by evaporation on a device with an n- or p-type doped substrate which has pref. a backside current. The device may have also a passivation layer over the metallisation layer and may be moulded in a plastic package. Also claimed is the above method of metallisation for use in high field devices such as Darlington transistors and/or diodes which have field-electrodes and for transistors used in automotive ignition systems.

USE/ADVANTAGE - The thin metallisation layer allows a much higher dielectric field strength to be achieved in spite of weak sites in the insulation layer as formed. This allows a higher yield of devices to be achieved or a higher operating voltage to be used.

CHOSEN-DRAWING: Dwg.2/6

DERWENT-CLASS: L03 U11 U12



DEUTSCHES
PATENTAMT

⑫ Aktenzeichen: P 39 29 161.8
⑬ Anmeldetag: 2. 9. 89
⑭ Off nlegungstag: 7. 3. 91

⑮ Int. Cl. 5:
H01L 23/00
H 01 L 27/04
H 01 L 29/784
H 01 L 23/52

DE 3929161 A1

⑪ Anmelder:
Robert Bosch GmbH, 7000 Stuttgart, DE

⑫ Erfinder:
Goerlach, Alfred, Dipl.-Phys., 7410 Reutlingen, DE

⑮ Halbleiterbauelement

Die Erfindung betrifft ein Halbleiterbauelement mit einem planären Aufbau als Metall-Dielektrikum-Halbleiter-Anordnung (MOS-Anordnung). Erfindungsgemäß ist die Metallschicht (4) wenigstens in Bauelementbereichen mit großen auftretenden Potentialunterschieden so gering ausgeführt, daß bei einem elektrischen Durchschlag zwischen der Metallschicht (4) und dem Halbleiter (1) unterhalb der dielektrischen Durchbruchfeldstärke (E_{Bmax}) an der Durchschlagstelle das Metall der Metallschicht (4) aufschmilzt und verdampft. Dadurch wird die Durchschlagstelle vom restlichen Metallbereich elektrisch isoliert und in einem Selbstheilungseffekt ist die Sperrfähigkeit der MOS-Anordnung wieder hergestellt.

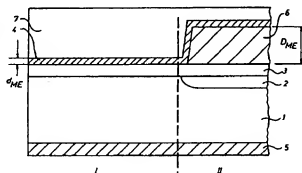


FIG. 6

DE 3929161 A1

Beschreibung

Stand der Technik

Die Erfindung betrifft ein Halbleiterbauelement mit einem planaren Aufbau als Metall-Dielektrikum-Halbleiter-Anordnung (MOS-Anordnung).

Bei solchen bekannten Halbleiterbauelementen gibt es häufig Bereiche, an denen im Betriebszustand große Potentialunterschiede zwischen der Metallisierung und darunterliegendem Halbleiter auftreten. Diese Potentialunterschiede sind durch ein dazwischenliegendes Dielektrikum meist aus Siliziumdioxid getrennt. Die dabei auftretenden elektrischen Feldstärken können Werte in der Größenordnung der elektrischen Durchbruchfeldstärke des Dielektrikums E_{Bmax} erreichen.

Dies trifft insbesondere bei hochsperrenden Leistungselementen mit dicken Oxiden zu, die mit Deckelektrode, Feldplatte etc. versehen sind.

Defekte im Dielektrikum bzw. Oxiddefekte haben häufig lokale elektrische Durchschläge zur Folge schon bei Feldstärken, die deutlich kleiner als die elektrische Durchbruchfeldstärke E_{Bmax} sind. Solche Durchschläge führen im allgemeinen zu einer Zerstörung des Bauelements durch Kurzschluß zwischen Metall und Halbleiter. Dies ist insbesondere bei erhöhten Temperaturen und/oder nach langem elektrischen Betrieb festzustellen.

Vorteile der Erfindung

Gemäß der in Anspruch 1 angegebenen Dimensionierungsvorschrift für die Metalldicke dergestalt, daß die Metalldicke wenigstens in Bauelementbereichen mit großen auftretenden Potentialunterschieden so gering ausgeführt ist, daß bei einem elektrischen Durchschlag unterhalb der elektrischen Durchbruchfeldstärke an der Durchschlagstelle das Metall aufschmilzt und verdampft, wird erreicht, daß die Durchschlagstelle vom restlichen Metallbereich elektrisch anschließend isoliert ist und in einem Selbstheilungseffekt die Sperrfähigkeit der Metall-Dielektrikum-Halbleiter-Anordnung (MOS-Anordnung) wieder hergestellt ist. Dies bedeutet, daß lokale Durchschläge beispielsweise aufgrund von Oxiddefekten nicht zu einer Zerstörung des Bauelements durch Kurzschluß zwischen Metallschicht und Halbleiter führen sondern die Funktionsfähigkeit bei Durchschlag-Feldstärken unter der elektrischen Durchbruchfeldstärke E_{Bmax} durch die angegebene Art der Selbstheilung erhalten bleibt.

Zeichnung

Die Erfindung wird anhand der Zeichnung näher erläutert.

Es zeigen

Fig. 1 einen schematischen Schnitt durch eine planare Metall-Dielektrikum-Halbleiter-Anordnung (MOS-Anordnung).

Fig. 2 ein Diagramm über die Häufigkeitsverteilung von Durchbruchfeldstärken mit einer dicken Metallisierung.

Fig. 3 die Häufigkeitsverteilung von Durchbruchfeldstärken bei einer entsprechenden Anordnung mit dünner Metallisierung.

Fig. 4 eine schematische Darstellung einer typischen Metallaufschmelzung bei Selbstheilung.

Fig. 5 eine schematische Darstellung einer typischen Metallaufschmelzung bei Erreichen der elektrischen Durchbruchfeldstärke.

Fig. 6 einen schematischen Schnitt einer Ausführungsform mit Zweilagenn-Metallisierung.

In Fig. 1 ist ein planares Halbleiterbauelement schematisch dargestellt, bestehend aus einer n-dotierten Siliziumplatte 1 als Halbleitersubstrat mit einer oberen ein-diffundierten Wanne als hochdotierte n⁺-Schicht 2, über der eine Schicht aus thermisch gewachsenem Siliziumdioxid als Dielektrikum 3 angeordnet ist mit einer darüberliegenden Metallisierung als Metallschicht 4. An der gegenüberliegenden Seite ist eine dicke Metallschicht als Rückseitenkontakt 5 angebracht.

Im vorliegenden Ausführungsbeispiel ist die Metallschicht 4 aus Aluminium ausgeführt; es sind jedoch auch grundsätzlich andere Metalle, auch dotierte Metalle bzw. Legierungen möglich.

Die Metallschicht ist durch Aufdampfen im Vakuum aufgebracht, es sind jedoch auch andere, an sich bekannte Verfahren zur Aufbringung einer Metallisierung möglich.

Im vorliegenden Ausführungsbeispiel ist das Halbleitersubstrat eine n-dotierte Siliziumplatte 1 mit einer hochdotierten n⁺-Schicht 2 und einem Rückseitenkontakt 5. Eine äquivalente Ausführung ist auch ausgehend von einem p-dotierten Halbleitersubstrat möglich. Weiter tritt der weiter unten beschriebene Selbstheilungseffekt der Erfindung auch dann auf, wenn die hochdotierte Schicht 2 oder der Rückseitenkontakt 5 fehlen, so daß die Erfindung auch bei solchen Anordnungen verwendbar ist. Der Effekt der Erfindung tritt auch bei Vorhandensein von äußeren Passivierungsschichten oder Kunststoffverpackungen auf, so daß ein entsprechendes Halbleiterbauelement bzw. Bauteile mit einer Passivierungsschicht versehen sein können oder in einem Kunststoffgehäuse verpackt sein können.

Anhand einer Versuchsanordnung wird der Effekt der Erfindung näher erläutert. Die Anordnung gemäß Fig. 1 ist in ihrer Schicht 2 mit Phosphor aufdotiert, wobei die Oberflächenkonzentration der Phosphoratom ca. $3 \times 10^{20} \text{ cm}^{-3}$ beträgt. Die Dicke des Dielektrikums 3 ist mit d_{ox} bezeichnet; die Dicke der Metallschicht 4 ist mit d_{me} bezeichnet. Die effektive Aluminiumfläche beträgt ca. 20 mm².

Im Versuchsaufbau wird zwischen der Metallschicht 4 und der Rückseitenkontaktschicht 5 eine positive Gleichspannung angelegt (Innenwiderstand der Quelle: $R_i \approx 6,5 \text{ MOhm}$). Die Gleichspannung ist veränderlich, wodurch die Durchbruchfeldstärke E_B ermittelt werden kann. Dazu wird die Spannung langsam ($\approx 50 \text{ V/sec}$) bis zum elektrischen Durchbruch der MOS-Anordnung erhöht. Um elektrische Überschläge am Rand des Chips zu vermeiden, ist die gesamte Anordnung nach Fig. 1 mit einem flüssigen Fluorkohlenwasserstoff bedeckt.

Fig. 2 zeigt eine typische Verteilung von 39 Durchbruchfeldstärken für den Fall $d_{ox} = 0,83 \text{ µm}$ und $d_{me} = 6 \text{ µm}$. Wie aus Fig. 2 zu entnehmen ist, beträgt die elektrische Durchbruchfeldstärke ca. $7,5 \times 10^5 \text{ V/cm}$. Wie ebenfalls aus Fig. 2 ersichtlich, treten aber auch infolge von Oxiddefekten Durchbrüche mit wesentlich kleineren Feldstärken als Vordurchbrüche auf. Dies führt zu einem Ausfall des Halbleiterbauelements schon weit bevor die maximale elektrische Durchbruchfeldstärke E_{Bmax} erreicht ist.

Zur Vermeidung dieses Nachteils dient die erfindungsgemäße Maßnahme, die Metalldicke der Metalli-

sierung 4 so weit zu verringern, daß bei einem elektrischen Durchschlag an der Durchschlagstelle das Aluminium aufschmilzt und verdampft, wodurch die Durchschlagstelle vom restlichen Metallbereich elektrisch isoliert ist und somit die Sperrfähigkeit der MOS-Anordnung wieder hergestellt ist.

Fig. 3 zeigt die Häufigkeitsverteilung von Durchbruchfeldstärken von 60 MOS-Anordnungen gemäß Fig. 1 bei Schichtdicken $d_{ox} = 0,7 \mu m$ und $d_{ME} = 0,15 \mu m$, d. h. mit gegenüber dem Fall der Fig. 2 stark verringerter Metalldicke.

Die Abweichung der ermittelten Durchbruchfeldstärken von der dielektrischen Durchbruchfeldstärke E_{Bmax} ($7,64 \times 10^6 V/cm$) ist geringer als die Abweichungen bei der Anordnung mit der dicken Metallisierung gemäß dem Fall aus Fig. 2.

Während der Erhöhung der Spannung bei der Anordnung mit der verringerten Metalldicke ist an einigen Teilen ein kurzer Stromimpuls bei niedrigeren Feldstärken zu beobachten. Diese Vorgänge sind immer mit dem Auftreten von kreisförmigen, aluminiumfreien Stellen verknüpft. Das Aluminium ist hierbei über dem Dielektrikum aufgeschmolzen bzw. verdampft, wobei der Durchmesser der Aufschmelzung ca. $75 \mu m$ beträgt. Eine solche Aufschmelzstelle ist schematisch in Fig. 4 dargestellt.

Nach dem Aufschmelzen des Aluminiums fließt kein weiterer Strom mehr und die Spannung bzw. die Feldstärke kann weiter bis zum maximalen Wert der dielektrischen Durchbruchspannung E_{Bmax} erhöht werden. Das Aufschmelzen des Aluminiums, wodurch bei kleineren Feldstärken der Strom an den Durchschlagstellen gestoppt wird, entspricht einer Selbstheilung der Anordnung, wodurch deren Funktion erhalten bleibt und einer Zerstörung entgegengewirkt wird.

Wenn die Spannung bzw. Feldstärke bis zur dielektrischen Durchbruchspannung E_{Bmax} erhöht wird, tritt wieder eine Aufschmelzung auf, an deren Rand sich dann wieder eine neue bildet und sofort bis zur endgültigen Zerstörung. Dieser Fall ist schematisch in Fig. 5 mit aluminiumfreien Stellen dargestellt.

Für die Kontaktierung der dünnen Metallisierung 4 (in Fig. 1) wird eine Zweischichtenmetallisierung vorgeschlagen, wovon in Fig. 6 eine Ausführungsform schematisch dargestellt ist.

In einem ersten Bereich der MOS-Anordnung in Fig. 6 ist ein Aufbau ähnlich dem in Fig. 1 dargestellt, mit einem Dielektrikum 3 zwischen einer dünnen Metallschicht 4 und dem Halbleiter 1. Die rückseitige Kontaktierung erfolgt über eine dicke Metallisierung 5. Im Bereich I treten im vorliegenden Fall die hohen Potentialunterschiede bzw. großen Feldstärken zwischen der Metallschicht 4 und dem Halbleiter 1 auf.

Im angrenzenden Bereich II sollen dagegen zwischen der Metallisierung und dem Halbleiter 1 keine großen Feldstärken auftreten (schematisch: Diffundierte p-Wanne 2 in n-Silizium 1) bzw. soll die Fläche über dem Bereich II wesentlich kleiner sein als über dem Bereich I.

Im Bereich II ist über dem Dielektrikum 3 eine dicke Metallschicht 6 der Dicke d_{ME} aufgebracht. In einem weiteren Metallisierungsschritt wird über die gesamte Chipfläche die dünne Metallschicht 4 der Dicke d_{ME} aufgebracht.

Der Bereich II dient entweder als Verbindung zur restlichen dicken Metallisierung des Chips oder als Bondland. Außerdem kann die dicke Metallschicht über Öffnungen des Dielektrikums 3 mit dem darunterliegenden Halbleiter kontaktiert werden. Die Bauteile können

zusammen mit einer Passivierungsschicht 7 versehen werden bzw. in Kunststoffgehäuse verpackt werden.

Im vorliegenden Ausführungsbeispiel mit der Metallschicht 4 aus Aluminium ist ein geeigneter Wert für die Schichtdicke, bei der der erfindungsgemäße Selbstheilungseffekt auftritt, $0,15 \mu m$ bei einer Schichtdicke des Dielektrikums von ca. $0,7 \mu m$. Es sind jedoch auch andere Dicken, je nach verwendeter Metallart, dem Aufbau, der auftretenden Potentialunterschiede etc. möglich.

Bevorzugt ist die Erfindung bei hochsperrenden Transistoren (auch Darlingtonttransistoren), Dioden, etc. einsetzbar, die mit Deckelektrode, Feldplatte oder ähnlichem versehen sind, insbesondere bei Zündtransistoren mit Deckelektrode für Kraftfahrzeugzündeinrichtungen.

Patentansprüche

1. Halbleiterbauelement mit einem planaren Aufbau als Metall-Dielektrikum-Halbleiter-Anordnung (MOS-Anordnung) mit einer Metallschicht bestimmter Metalldicke, dadurch gekennzeichnet, daß die Metalldicke wenigstens in Bauelementbereichen mit großen auftretenden Potentialunterschieden so gering ausgeführt ist, daß bei einem elektrischen Durchschlag zwischen der Metallschicht (4) und dem Halbleiter (1) unterhalb der dielektrischen Durchbruchfeldstärke (E_{Bmax}) an der Durchschlagstelle das Metall aufschmilzt und verdampft, wodurch die Durchschlagstelle vom restlichen Metallbereich elektrisch isoliert ist und in einer Selbstheilung die Sperrfähigkeit der Metall-Dielektrikum-Halbleiter-Anordnung wieder hergestellt ist.
2. Halbleiterbauelement nach Anspruch 1, dadurch gekennzeichnet, daß eine Metallschicht (4) aus Aluminium verwendet ist.
3. Halbleiterbauelement nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Metallschicht (4) mit einer Metalldicke kleiner als $0,5 \mu m$, insbesondere $0,15 \mu m$, ausgeführt ist.
4. Halbleiterbauelement nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß als Dielektrikum (3) Siliziumdioxid (SiO_2) verwendet ist.
5. Halbleiterbauelement nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß in Bauelementbereichen (I) großer auftretender Potentialunterschiede bzw. Feldstärken eine erste geringe Metalldicke vorgesehen ist und in Bauelementbereichen (II) mit kleinen auftretenden Potentialunterschieden bzw. Feldstärken eine zweite stärkere Metalldicke vorgesehen ist und die unterschiedlichen Metalldicken durch eine Zweischichtenmetallisierung (4; 6) hergestellt sind.
6. Halbleiterbauelement nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß die Metallschicht (4; 6) durch Aufdampfen im Vakuum aufgebracht ist.
7. Halbleiterbauelement nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß der Halbleiter aus einem n- oder p-dotierten Substrat (1) besteht, mit einer hochdotierten Schicht (2) sowie einem Rückseitenkontakt (5).
8. Halbleiterbauelement nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß das Bauelement bzw. Bauteile mit einer Passivierungsschicht (7) versehen sind oder in einem Kunststoffgehäuse verpackt sind.

9. Halbleiterbauelement nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß hochsperrende Transistoren, z. B. Darlingtonttransistoren und/oder Dioden enthalten sind, die mit Deckelektroden bzw. Feldplatten versehen sind, insbesondere als Zündtransistoren mit Deckelektrode für Kraftfahrzeugzündeinrichtungen.

Hierzu 5 Seite(n) Zeichnungen

10

15

20

25

30

35

40

45

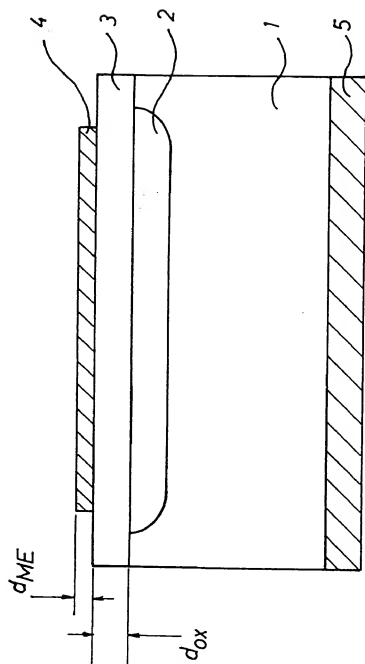
50

55

60

65

- Leerseite -

FIG. 1

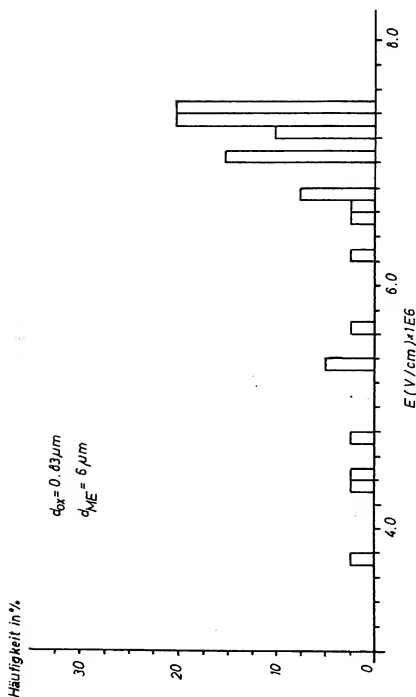
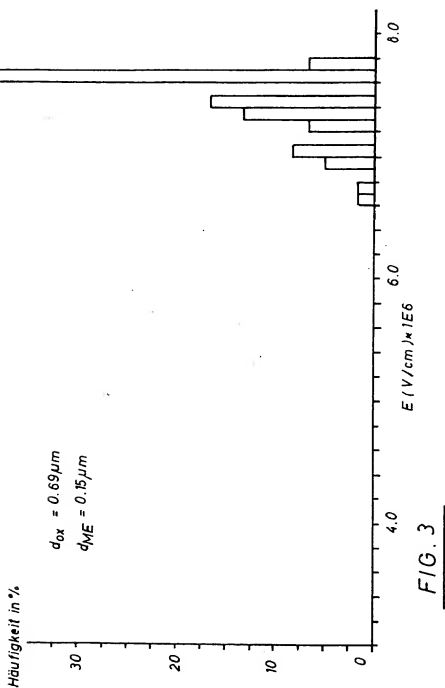


FIG. 2



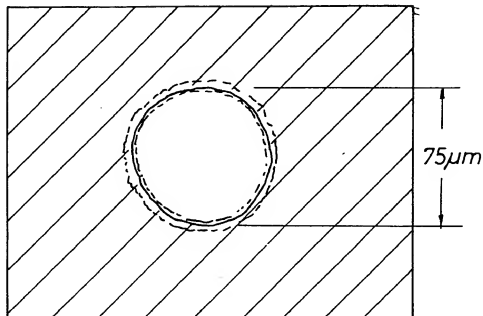


FIG. 4



FIG. 5

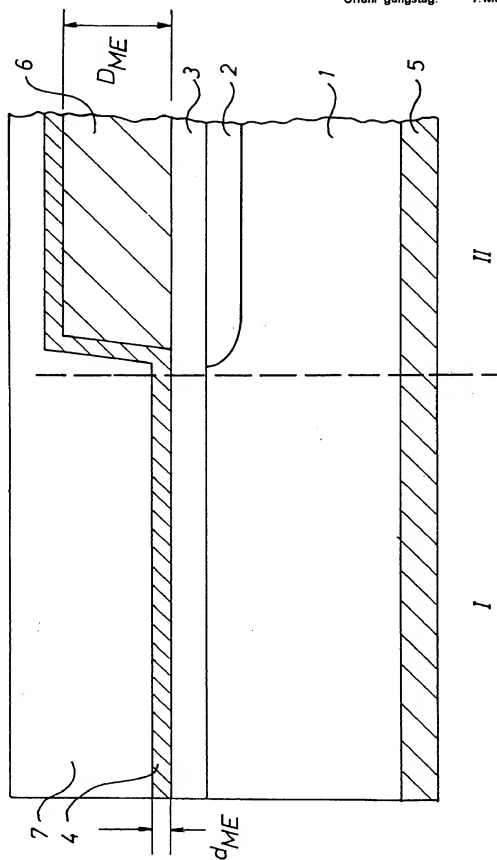


FIG. 6